

AUFGABEN

- Messung der Drain-Spannung in Abhängigkeit vom Drain-Strom für verschiedene Gate-Spannungen.

ZIEL

Messung der Kennlinien eines Feldeffekttransistors.

ZUSAMMENFASSUNG

Ein Feldeffekttransistor (FET) ist ein Halbleiterbauelement, bei dem der durch einen Kanal fließende elektrische Strom durch ein elektrisches Feld senkrecht zum Stromfluss gesteuert wird. Der FET hat drei Anschlüsse, die Source, Drain und Gate genannt werden, und die als Quelle, Senke und Tor fungieren. Wird eine elektrische Spannung zwischen Source und Drain angelegt, dann fließt im Kanal dazwischen der Drain-Strom. Für kleine Drain-Source-Spannungen verhält sich der FET wie ein Ohm'scher Widerstand, die Kennlinie verläuft entsprechend linear. Mit zunehmender Drain-Source-Spannung kommt es zunächst zur Einschnürung und schließlich zur Abschnürung des Kanals und die Kennlinie geht in einen Sättigungsbereich über. Für von Null verschiedene Gate-Spannungen nimmt der Sättigungswert des Drain-Stroms ab.

BENÖTIGTE GERÄTE

Anzahl	Geräte	Art.-Nr.
1	Steckplatte für Bauelemente	1012902
1	Satz 10 Brückenstecker, P2W19	1012985
1	Widerstand 1 k Ω , 2 W, P2W19	1012916
1	Widerstand 470 Ω , 2 W, P2W19	1012914
1	Widerstand 47 k Ω , 0,5 W, P2W19	1012926
1	Kondensator 470 μ F, 16 V, P2W19	1012960
1	FET-Transistor BF 244, P4W50	1012978
1	Si-Diode 1N 4007, P2W19	1012964
1	Potentiometer 220 Ω , 3 W, P4W50	1012934
1	AC/DC-Netzgerät 0...12 V/ 3 A (230 V, 50/60 Hz)	1002776
1	AC/DC-Netzgerät 0...12 V/ 3 A (115 V, 50/60 Hz)	1002775
2	Analog-Multimeter AM50	1003073
1	Satz 15 Experimentierkabel 1 mm ²	1002840

2

ALLGEMEINE GRUNDLAGEN

Ein Feldeffekttransistor (FET) ist ein Halbleiterbauelement, bei dem der durch einen Kanal fließende elektrische Strom durch ein elektrisches Feld senkrecht zum Stromfluss gesteuert wird.

Der FET hat drei Anschlüsse, die Source (S), Drain (D) und Gate (G) genannt werden, und die als Quelle, Senke und Tor fungieren. Der Kanal ist die leitende Verbindung zwischen Source und Drain. Wird eine elektrische Spannung U_{DS} zwischen Source und Drain angelegt, dann fließt im Kanal der Drain-Strom I_D . Der Strom besteht aus Ladungsträgern einer Polarität (unipolarer Transistor), d.h. Elektronen für einen Kanal aus einem n-leitenden Halbleiter, Löcher für einen Kanal aus einem p-leitenden Halbleiter. Der Querschnitt oder die Leitfähigkeit des Kanals wird durch das elektrische Feld senkrecht zum Stromfluss gesteuert. Zur Erzeugung dieses Querfeldes wird eine Gate-Spannung U_{GS} zwischen Source und Gate angelegt. Die Isolierung der Gate-Elektrode gegenüber dem Kanal kann durch einen pn-Übergang in Sperr-Richtung (Sperrschicht-FET, J-FET) oder eine Isolierschicht (IG-FET, MIS-FET, MOS-FET) erfolgen. Beim Sperrschicht-FET wird der Querschnitt des Kanals durch die Ausdehnung der Raumladungszone und diese wiederum durch das Querfeld gesteuert. Um zu gewährleisten, dass der pn-Übergang stets in Sperr-Richtung geschaltet ist, also insbesondere kein Gate-Strom fließt, müssen Gate-Spannung U_{GS} und die Drain-Source-Spannung U_{DS} bei einem n-Kanal-FET die Bedingungen

$$(1a) \quad U_{GS} \leq 0, U_{DS} \geq 0$$

und bei einem p-Kanal-FET die Bedingungen

$$(1b) \quad U_{GS} \geq 0, U_{DS} \geq 0$$

erfüllen.

Bei dem Betrag nach kleinen Drain-Source-Spannungen $|U_{DS}|$ verhält sich der FET wie ein Ohm'scher Widerstand, die Kennlinie verläuft entsprechend linear. Mit wachsenden Werten $|U_{DS}|$ findet eine Kanaleinschnürung statt, weil die Sperrspannung zwischen Gate und Kanal in Richtung Drain zunimmt. Die Raumladungszone ist in Drain-Nähe breiter als in Source-Nähe, entsprechend ist der Kanal in Drain-Nähe enger als in Source-Nähe. Bei einer bestimmten Spannung $U_{DS} = U_p$ geht die Kanalbreite gegen Null, es kommt zur Kanalabschnürung, und der Drain-Strom nimmt bei einer weiteren Erhöhung der Drain-Source-Spannung nicht mehr zu. Die Kennlinie geht vom Ohm'schen Bereich in einen Sättigungsbereich über. Die Ausdehnung der Raumladungszone und damit die Kanalbreite lassen sich durch die Gate-Spannung steuern. Ist die Gate-Spannung nicht Null, wird der Kanal zusätzlich verengt, also der Drain-Strom kleiner, und insbesondere nimmt der Sättigungsstrom ab. Der Kanal ist unabhängig von der Drain-Source-Spannung U_{DS} für $|U_{GS}| \geq |U_p|$ immer gesperrt. Im Experiment wird der Drain-Strom I_D in Abhängigkeit von der Drain-Source-Spannung U_{DS} für verschiedene Gate-Spannungen U_{GS} gemessen.

AUSWERTUNG

Die Messwerte werden für die verschiedenen Gate-Spannungen in einem I_D - U_{DS} -Diagramm graphisch dargestellt (Abb. 1) und der beschriebene Kennlinien-Verlauf bestätigt, der sich aus der Steuerung des Drain-Stroms durch die Drain-Source-Spannung und die Gate-Spannung ergibt.

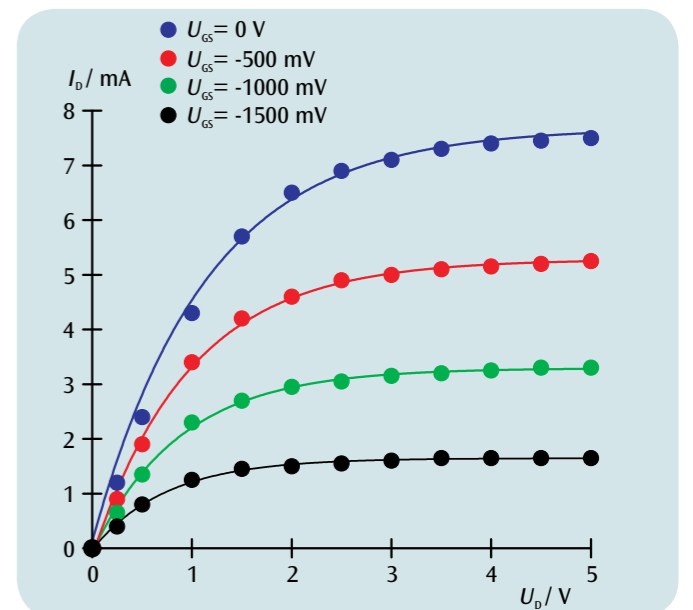


Abb. 1: Kennlinien des Feldeffekttransistors für die Gate-Spannungen 0 V (blau), -0,5 V (rot), -1 V (grün) und -1,5 V (blaugrün)