Elektrizitätslehre

Elektronik

Feldeffekttransistor

MESSUNG DER KENNLINIEN EINES FELDEFFEKTTRANSISTORS.

- **Messung des Drain-Stroms in Abhängigkeit von der Drain-Source-Spannung für verschiedene Gate-Spannungen.**
- **Bestätigung des Kennlinien-Verlaufs, der sich aus der Steuerung des Drain-Stroms durch die Drain-Source-Spannung und die Gate-Spannung ergibt.**

UE3080300

06/16 UD

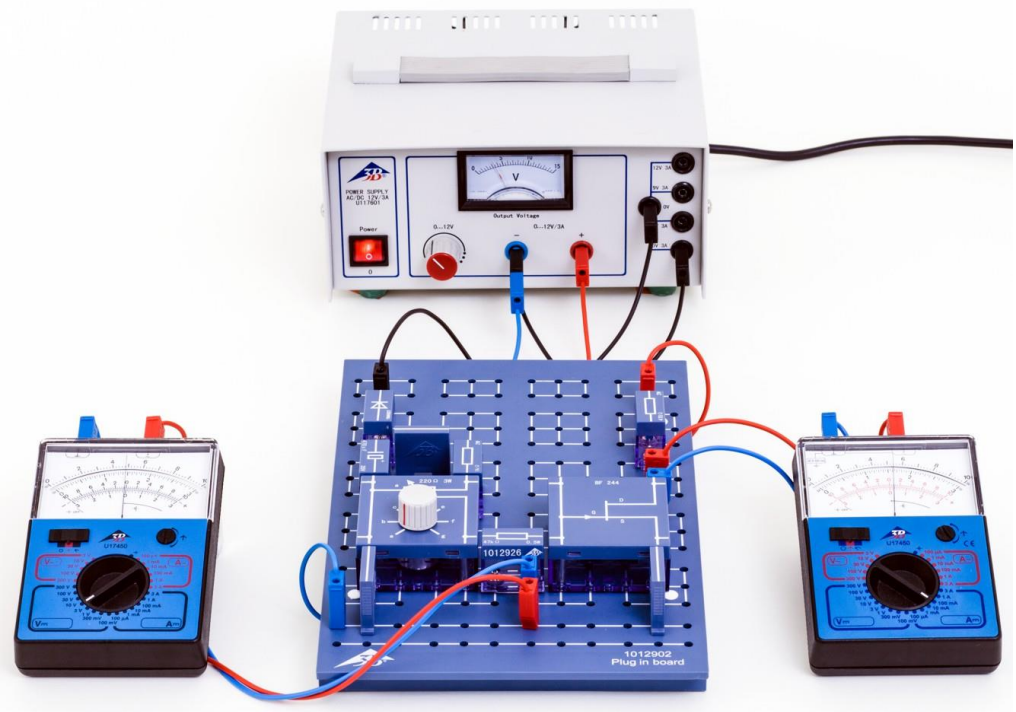

Fig. 1: Messanordnung.

ALLGEMEINE GRUNDLAGEN

Ein Feldeffekttransistor (FET) ist ein Halbleiterbauelement, bei dem der durch einen Kanal fließende elektrische Strom durch ein elektrisches Feld senkrecht zum Stromfluss gesteuert wird.

Der FET hat drei Anschlüsse, die Source (S), Drain (D) und Gate (G) genannt werden, und die als Quelle, Senke und Tor fungieren. Der Kanal ist die leitende Verbindung zwischen Source und Drain. Wird eine elektrische Spannung U_{DS} zwischen Source und Drain angelegt, dann fließt im Kanal der Drain-Strom I_D. Der Strom besteht aus Ladungsträgern einer Polarität (unipolarer Transistor), d.h. Elektronen für einen Kanal aus einem n-leitenden, Löcher für einen Kanal aus einem p-leitenden Halbleiter. Der Querschnitt oder die Leitfähigkeit des Kanals wird durch das elektrische Feld senkrecht zum Stromfluss gesteuert. Zur Erzeugung dieses Querfeldes wird eine Gate-Spannung U_{GS} zwischen Source und Gate angelegt. Die Isolierung der Gate-Elektrode gegenüber dem Kanal kann durch einen pn-Übergang in Sperr-Richtung (Sperrschicht-FET, J-FET) oder eine Isolierschicht (IG-FET, MIS-FET, MOS-FET) erfolgen. Beim Sperrschicht-FET wird der Querschnitt des Kanals durch die Ausdehnung der Raumladungszone und diese wiederum durch das Querfeld gesteuert.

Um zu gewährleisten, dass der pn-Übergang stets in Sperr-Richtung geschaltet ist, also insbesondere kein Gate-Strom fließt, müssen Gate-Spannung U_{GS} und die Drain-Source-Spannung U_{DS} bei einem n-Kanal-FET die Bedingungen

(1a) $U_{GS} \leq 0, U_{DS} \geq 0$

und bei einem p-Kanal-FET die Bedingungen

(1b) $U_{GS} \geq 0, U_{DS} \geq 0$

erfüllen.

Bei dem Betrag nach kleinen Drain-Source-Spannungen $|U_{DS}|$ verhält sich der FET wie ein Ohm'scher Widerstand, die Kennlinie verläuft entsprechend linear. Mit wachsenden Werten $|U_{DS}|$ findet eine Kanaleinschnürung statt, weil die Sperrspannung zwischen Gate und Kanal in Richtung Drain zunimmt. Die Raumladungszone ist in Drain-Nähe breiter als in Source-Nähe, entsprechend ist der Kanal in Drain-Nähe enger als in Source-Nähe. Bei einer bestimmten Spannung $U_{DS} = U_p$ geht die Kanalbreite gegen Null, es kommt zur Kanalabschnürung, und der Drain-Strom nimmt bei einer weiteren Erhöhung der Drain-Source-Spannung nicht mehr zu. Die Kennlinie geht vom Ohm'schen Bereich in einen Sättigungsbereich über.

Die Ausdehnung der Raumladungszone und damit die Kanalbreite lassen sich durch die Gate-Spannung steuern. Ist die Gate-Spannung nicht Null, wird der Kanal zusätzlich verengt, also der Drain-Strom kleiner, und insbesondere nimmt der Sättigungsstrom ab. Der Kanal ist unabhängig von der Drain-Source-Spannung U_{DS} für $|U_{GS}| \geq |U_p|$ immer gesperrt.

Im Experiment wird der Drain-Strom I_D in Abhängigkeit von der Drain-Source-Spannung U_{DS} für verschiedene Gate-Spannungen U_{GS} gemessen.

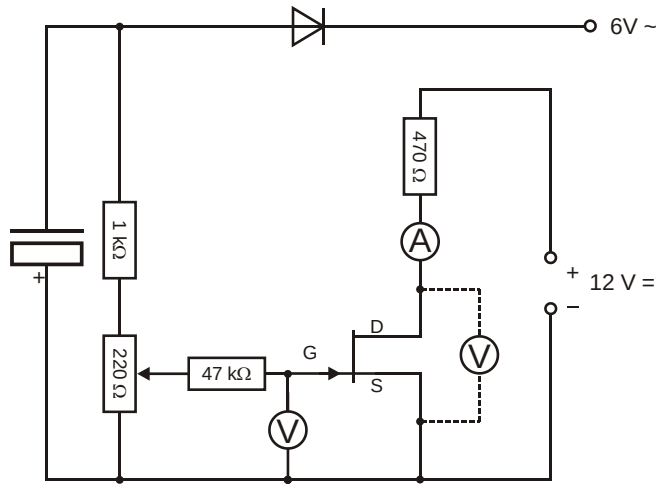

Fig. 2: Schaltskizze.

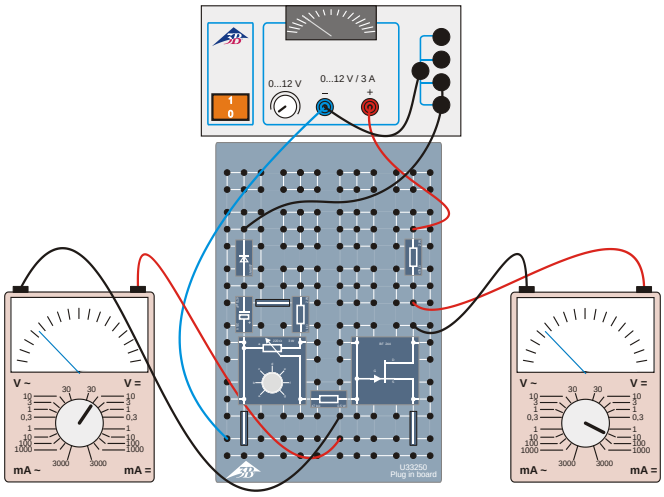

Fig. 3: Spannungsmessgerät zwischen Gate und Source.

GERÄTELISTE

1	Steckplatte für Bauelemente	1012902 (U33250)
1	Satz 10 Brückenstecker, P2W19	1012985 (U333093)
1	Widerstand 1 kΩ, 2 W, P2W19	1012916 (U333024)
1	Widerstand 470 Ω, 2 W, P2W19	1012914 (U333022)
1	Widerstand 47 kΩ, 0,5 W, P2W19	1012926 (U333034)
1	Kondensator 470 µF, 16 V, P2W19	1012960 (U333068)
1	FET-Transistor BF 244, P4W50	1012978 (U333086)
1	Si-Diode 1N 4007, P2W19	1012964 (U333072)
1	Potentiometer 220 Ω, 3 W, P4W50	1012934 (U333042)
1	AC/DC-Netzgerät 0…12 V/ 3 A @230V	1002776 (U117601-230)
oder		
1	AC/DC-Netzgerät 0…12 V/ 3 A @115V	1002775 (U117601-115)
2	Analog-Multimeter Escola 30	1013526 (U8557330)
1	Satz 15 Experimentierkabel, 75 cm, 1 mm²	1002840 (U13800)

AUFBAU UND DURCHFÜHRUNG

- Die Schaltung gemäß Fig. 2 bzw. Fig. 3 aufbauen. Auf die richtige Polung von Si-Diode und Kondensator achten.
- Das Analog-Multimeter für die Spannungsmessung zunächst zwischen Gate und Source anschließen, Minuspol an Gate (Fig 3).
- Am Spannungsmessgerät den Messbereich 10 V DC, und am Strommessgerät den Messbereich 10 mA DC wählen.
- Das Netzgerät einschalten und eine Spannung von 0 V DC einstellen.
- Den Drehknopf des Potentiometers auf Position "a" stellen und so eine Gate-Spannung U_{GS} von 0 V einstellen.

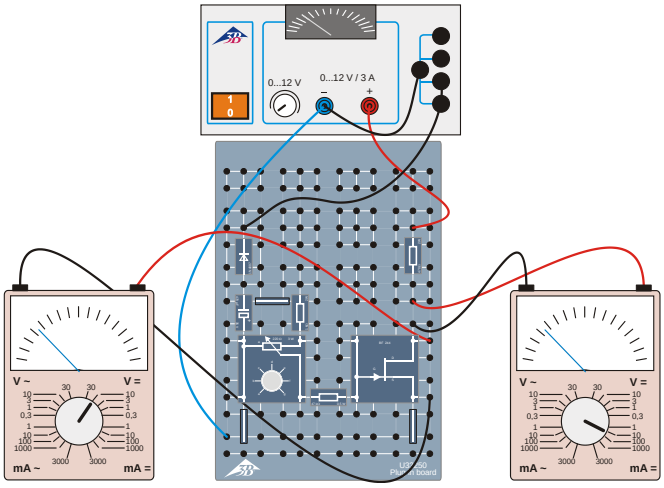

Fig. 4: Spannungsmessgerät zwischen Drain und Source.

- Das Spannungsmessgerät jetzt zwischen Drain und Source anschließen, Pluspol an Drain (Fig. 4).
- Die Spannung am Netzgerät soweit erhöhen, bis am Spannungsmessgerät eine Drain-Source-Spannung U_{DS} = 0,25 V angezeigt wird. Den Wert in Tab. 1 eintragen.
- Drainstrom I_D am Strommessgerät ablesen und den Wert in Tab. 1 eintragen.
- Eine Drain-Source-Spannung U_{DS} = 0,5 V einstellen und den Wert in Tab. 1 eintragen.
- Drainstrom I_D am Strommessgerät ablesen und den Wert in Tab. 1 eintragen.
- Die Drain-Source-Spannung U_{DS} in 0,5 V-Schritten bis 5 V erhöhen, jeweils den Drainstrom I_D ablesen und die Werte in Tab. 1 eintragen.
- Die Spannung am Netzgerät auf 0 V zurückdrehen.
- Gate-Spannungen U_{GS} = -0,5 V, –1 V und –1,5 V einstellen, Messreihe für jede Gate-Spannung wiederholen und die eingestellten Drain-Source-Spannungen und gemessenen Drainströme in Tab. 1 eintragen.

MESSBEISPIEL

Tab. 1: Eingestellte Drain-Source-Spannungen und gemessene Drain-Ströme bei verschiedenen Gate-Spannungen.

U_{DS} / V	I_D / mA			
	U_{GS} = 0,0 V	U_{GS} = -0,5 V	U_{GS} = -1,0 V	U_{GS} = -1,5 V
0,00	0,00	0,00	0,00	0,00
0,25	1,20	0,90	0,65	0,40
0,50	2,40	1,90	1,35	0,80
1,00	4,30	3,40	2,30	1,25
1,50	5,70	4,20	2,70	1,45
2,00	6,50	4,60	2,95	1,50
2,50	6,90	4,90	3,05	1,55
3,00	7,10	5,00	3,15	1,60
3,50	7,30	5,10	3,20	1,65
4,00	7,40	5,15	3,25	1,65
4,50	7,45	5,20	3,30	1,65
5,00	7,50	5,25	3,30	1,65

AUSWERTUNG

- Die Messwerte für die verschiedenen Gate-Spannungen in einem I_D-U_{DS}-Diagramm graphisch darstellen (Fig. 5)

Der beschriebene Kennlinien-Verlauf, der sich aus der Steuerung des Drain-Stroms durch die Drain-Source-Spannung und die Gate-Spannung ergibt, wird bestätigt.

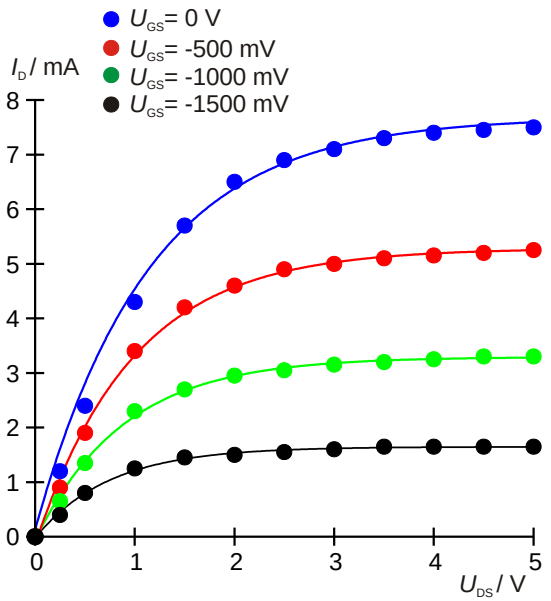

Fig. 5: Kennlinien des Feldeffekttransistors für verschiedene Gate-Spannungen.

© Copyright 2016 3B Scientific GmbH